

특2001-0054164

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
H01L 21/762(11) 공개번호 특2001-0054164  
(43) 공개일자 2001년07월02일

(21) 출원번호	10-1999-0054835
(22) 출원일자	1999년12월03일
(71) 출원인	주식회사 하이닉스반도체 박종설 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	조석원
(74) 대리인	충청북도청주시흥덕구분평동주공아파트 704-102 강용복, 김용인

설사첨구 : 있음

(54) 듀얼 에스티아이(STI) 웨л 형성방법

**요약**

본 발명은 웨л 스페이스를 최소화하여 셀 사이즈를 감소시킬 수 있는 듀얼 STI 웨л 형성방법에 관한 것으로, 반도체 기판상에 트렌치 형성을 위한 마스크층을 형성하는 공정과, 상기 마스크층을 이용한 적각 공정으로 상기 기판을 적각하여 제 1 트렌치를 형성하고, 상기 제 1 트렌치에 비해 작은 폭을 가지며 그 양쪽에 일정간격을 두고 제 2 트렌치를 형성하는 공정과, 상기 제 1, 제 2 트렌치를 포함한 전면에 절연층을 형성한 후, 상기 제 1 트렌치의 내측면에 절연층벽을 형성하는 공정과, 상기 절연층벽을 마스크로 기판을 소정깊이로 적각하는 공정과, 소정깊이로 적각된 기판을 포함한 전면에 절연층을 형성한 후, 평탄화하여 상기 제 1 트렌치영역에 웨л STI를 형성하고, 상기 제 2 트렌치 영역에 소자격리막을 형성하는 공정과, 상기 마스크층을 제거한 후, 상기 웨л STI를 중심으로 그 양쪽의 기판내에 P웨л 영역과 N웨л 영역을 형성하는 공정과, 상기 P웨л 영역내에 N도전형의 불순을 영역을 형성하고, 상기 N웨л 영역내에 P도전형의 불순을 영역을 형성하는 공정을 포함하여 이루어진다.

**도표도****도2a****도면이**

듀얼 STI

**도3a****도면의 간접적 설명**

도 1a 내지 1g는 종래 기술에 따른 듀얼 STI 웨л 형성방법을 설명하기 위한 공정단면도

도 2a 내지 2h는 본 발명 듀얼 STI 웨л 형성방법을 설명하기 위한 공정단면도

## 도면의 주요부분에 대한 부호의 설명

21 : 반도체 기판	24, 24a : 제 1, 제 2 트렌치
26 : 웨л STI	26a : 소자격리막
27 : P웨л 영역	28 : N웨л 영역
29 : N형 불순을 영역	30 : P형 불순을 영역

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자 제조방법에 관한 것으로, 특히 SRAM셀에서 면적을 가장 많이 차지하는 웨л 스페이스(well space)를 듀얼 STI(Silicon Trench Isolation)공정을 이용하여 획기적으로 감소시킬 수 있는 듀얼 STI 웨л 형성방법에 관한 것이다.

일반적으로 풀 씨모스(Full CMOS) 구조의 SRAM셀에서 면적을 가장 많이 차지하는 부분은 웨л(Well)이다. 따라서, 웨л의 면적을 얼마나 효율적으로 감소시키느냐에 따라 셀 사이즈의 최소화 및 고집적화를 만족

시킬 수가 있다.

이하, 증래 기술에 따른 듀얼 STI 형성방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 1a 내지 1g는 증래 기술에 따른 듀얼 STI 형성방법을 설명하기 위한 공정단면도이다.

도 1a에 도시한 바와 같이, 반도체 기판(11)의 표면상에 제 1 절연층(12)을 성장시키고, 제 1 절연층(12) 상에 제 2 절연층(13)으로써, 질화막을 형성한다.

도 1b에 도시한 바와 같이, 액티브 영역을 정의하기 위해 액티브 마스크를 이용하여 상기 제 2 절연층(13)을 선택적으로 제거하는 것에 의해 제 2 절연층 패턴(13a)들을 형성한다.

도 1c에 도시한 바와 같이, 제 2 절연층 패턴(13a)들을 마스크로 이용한 식각 공정으로 제 1 절연층(12) 및 반도체 기판(11)을 식각하여 제 1 트렌치(14)와 상기 제 1 트렌치(14)에 비해 상대적으로 작은 폭을 갖는 제 2 트렌치(14a)들을 형성한다.

도 1d에 도시한 바와 같이, 제 1, 제 2 트렌치(14, 14a)를 포함한 전면에 상기 트렌치를 매립시킬 수 있도록 충분한 두께의 제 3 절연층(15)을 형성한다.

도 1e에 도시한 바와 같이, 화학기계적 단면연마(CMP:Chemical Mechanical Polishing)공정을 이용하여 평탄화시킨다.

이때, 상기 제 2 절연층 패턴도 소정두께로 평탄화된다.

도 1f에 도시한 바와 같이, 제 2 절연층 패턴 및 제 1 절연층(12)을 제거하여 상기 트렌치(14)내에 매립된 제 3 절연층(15)으로 이루어진 웰 STI(15a)와 소자 격리영역(15b)을 형성하여 액티브 영역을 정의한다.

도 1g에 도시한 바와 같이, P도전형의 이온주입과 N도전형의 이온주입을 통해 P웰 영역(16)과 N웰 영역(17)을 형성한다.

그리고, P웰 영역(16)에 상응하는 액티브 영역의 표면내에 N도전형의 불순물 영역(18)들을 형성하고, N웰 영역(17)에 상응하는 액티브 영역의 표면내에 P도전형의 불순물 영역(19)들을 형성하면 증래 기술에 따른 듀얼 STI 웰 형성공정이 완료된다.

#### 발명이 이루고자 하는 기술적 효과

그러나 상기와 같은 증래의 듀얼 STI 웰 형성방법은 다음과 같은 문제점이 있었다.

P웰 영역에 형성된 N도전형의 불순물 영역과 N웰 영역간의 브랙다운 전압 및 N웰 영역에 형성된 P도전형의 불순물 영역과 P웰 영역간의 브랙다운 전압 때문에 N도전형의 불순물 영역에서 P도전형의 불순물 영역에 이르는 간격을 충분히 확보하여야 하기 때문에 결과적으로 웰 스페이스가 커지게 된다.

본 발명은 상기한 증래 기술의 문제점을 해결하기 위해 만출한 것으로, 웰 스페이스를 최소화하여 셀 사이즈를 감소시킬 수 있는 듀얼 STI 웰 형성방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 듀얼 STI 웰 형성방법은 반도체 기판상에 트렌치 형성을 위한 마스크층을 형성하는 공정과, 상기 마스크층을 이용한 식각 공정으로 상기 기판을 식각하여 제 1 트렌치를 형성하고, 상기 제 1 트렌치에 비해 작은 폭을 가지며 그 양쪽에 일정간격을 두고 제 2 트렌치를 형성하는 공정과, 상기 제 1, 제 2 트렌치를 포함한 전면에 절연층을 형성한 후, 상기 제 1 트렌치의 내측면에 절연층벽을 형성하는 공정과, 상기 절연층벽을 마스크로 기판을 소정깊이로 식각하는 공정과, 소정깊이로 식각된 기판을 포함한 전면에 절연층을 형성한 후, 평탄화하여 상기 제 1 트렌치영역에 웰 STI를 형성하고, 상기 제 2 트렌치 영역에 소자격리막을 형성하는 공정과, 상기 마스크층을 제거한 후, 상기 웰 STI를 중심으로 그 양측의 기판내에 P웰 영역과 N웰 영역을 형성하는 공정과, 상기 P웰 영역내에 N도전형의 불순물 영역을 형성하고, 상기 N웰 영역내에 P도전형의 불순물 영역을 형성하는 공정을 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명의 듀얼 STI 웰 형성방법을 설명하기로 한다.

도 2a 내지 2h는 본 발명 듀얼 STI 웰(well) 형성방법을 설명하기 위한 공정단면도이다.

도 2a에 도시한 바와 같이, 반도체 기판(21)상에 제 1 절연층(22)을 형성하고, 제 1 절연층(22)상에 제 2 절연층(23)을 차례로 형성한다.

이때, 제 1 절연층(22)은 산화막을, 그리고 제 2 절연층(23)은 질화막을 적용하며, 이후에 형성될 웰 STI를 형성하는 절연층과 식각선택비가 큰 물질을 사용한다.

도 2b에 도시한 바와 같이, 액티브 영역을 정의하기 위한 액티브 마스크(Active Mask)를 이용하여 상기 제 2 절연층(23)을 선택적으로 제거하는 것에 의해 제 2 절연층 패턴(23a)들을 형성한다.

상기 제 2 절연층 패턴(23a)은 웰 STI 및 소자격리막을 형성하기 위한 마스크층으로 사용된다.

이후, 상기 제 2 절연층 패턴(23a)들을 마스크로 이용한 식각 공정으로 제 1 절연층(22) 및 반도체 기판(21)을 식각하여 큰 폭을 갖는 제 1 트렌치(24)와, 상기 제 1 트렌치(24)에 비해 상대적으로 작은 폭을 갖는 제 2 트렌치(24a)를 상기 제 1 트렌치(24)의 좌, 우측에 일정 거리를 두고 형성한다.

도 2c에 도시한 바와 같이, 상기 제 1, 제 2 트렌치(24, 24a)를 포함한 전면에 제 3 절연층(25)을 형성한다.

이후, 에치백 공정을 통해 도 2d에 도시한 바와 같이, 폭이 큰 제 1 트렌치(24)의 내측면에는 사이드월 스페이서(25a)를 형성하고, 폭이 작은 제 2 트렌치(24a)내에는 웰폭파인 형상으로 제 3 절연층(25)을 매립한다.

이후, 도 2e에 도시한 바와 같이, 폭이 큰 제 1 트렌치(24)의 내측면에 형성된 사이드월 스페이서(25a)를 마스크로 상기 반도체 기판(21)을 식각한다.

그리고, 도 21에 도시한 바와 같이, 트렌치를 매립시킬 수 있도록 제 4 절연층(26)을 충분한 두께로 증착한 후, 화학기계적 단면연마법(CMP:Chemical Mechanical Polishing)을 이용하여 평坦화한다.

따라서, T자 형상의 웨爾 ST1(26)와 그 양쪽의 소자격리영역(26a)이 형성된다.

이후, 도 2g에 도시한 바와 같이, 상기 제 2 절연총(23) 및 제 1 절연총(22)을 제거하여 액티브 영역을 정의한다.

도 2h에 도시한 바와 같이, P도전형 미온주입을 통해 P웰 영역(27)을 형성하고, 다시 N도전형의 미온주입을 통해 N웰 영역(28)을 형성한다.

이때, 도면에서와 같이, P웰 영역(27)과 N웰 영역(28)의 격리는 T자 형상의 웰 STI(26)에 의해 격리된다. 이를 통해 영역(22)과 N阱 영역(29)에 서도 전류의 불순을 막고 주입을 통해 불순을 확산영역(29)들을 형성하고, N阱

이후, P를 공급(27)내에 N도전영역(28)을문을 미온주입을 통해 불순을 확산영역(29)을을 형성하였고, N을 영역(28)내에 P도전형의 불순을 미온주입을 통해 불순을 확산영역(30)들을 형성하면 본 발명에 따른 듀얼 STI 웰 형성공정이 완료된다.

卷之三

미상 승출한 바와 같이 본 발상의 특허는 T릴 영역과 T릴 영역내 P볼순을 양극, 그리고 N릴 영역과 N릴 영역내 P볼순을 영역간의 BV(Break Voltage)를 억제하여 월 스페이스를 최소화할 수 있는 효과가 있다.

### (5) 경구의 발휘

### 청구항 1. 반도체 기판상에 트렌치 형성을 위한 마스크통을 형성하는 공정과,

상기 마스크총을 이용한 식각 공정으로 상기 기판을 식각하여 제 1 트렌치를 형성하고, 상기 제 1 트렌치에 비해 작은 폭을 가지며 그 양측에 일정간격을 두고 제 2 트렌치를 형성하는 공정과,

상기 제 1, 제 2 트렌치를 포함한 전면에 절연층을 형성한 후, 상기 제 1 트렌치의 내측면에 절연층 벽을 형성하는 공정과,

상기 절연 측벽을 마스크로 기판을 소정깊이로 식각하는 과정과

소정깊이로 식각된 기판을 포함한 전면에 절연층을 형성한 후, 평탄화하여 상기 제 1 트렌치영역에 웰 STI를 형성하고, 상기 제 2 트렌치 영역에 소자격리막을 형성하는 공정과,

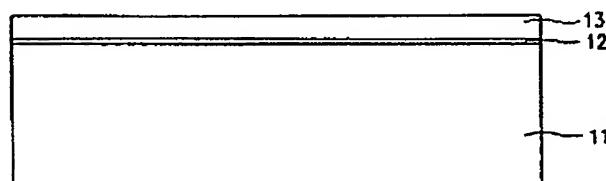
상기 마스크층을 제거한 후, 상기 웨이 STI를 중심으로 그 양측의 기판내에 P웨이 영역과 N웨이 영역을 형성하는 공정과..

상기 PWell 영역내에 N도전형의 불순물을 형성하고, 상기 NWell 영역내에 P도전형의 불순물을 형성하는 물질을 포함하여 이루어지는 주제를 특진으로 하는 듀얼 STI 제작방법.

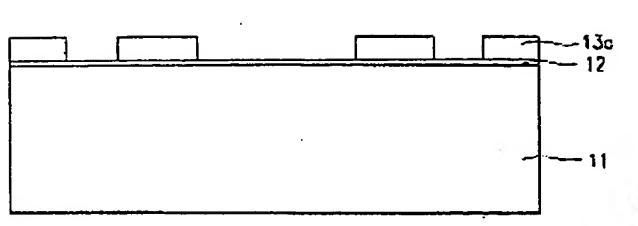
첨구한 2. 제 1 항에 있어서, 상기 웨 STI는 T자 형상으로 형성하는 것을 특징으로 하는 듀얼 STI 웨

58

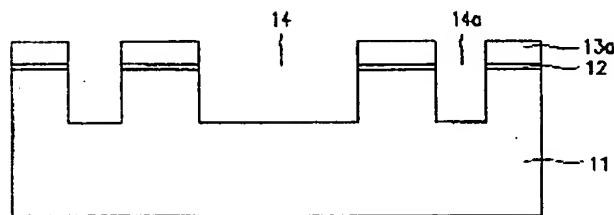
581



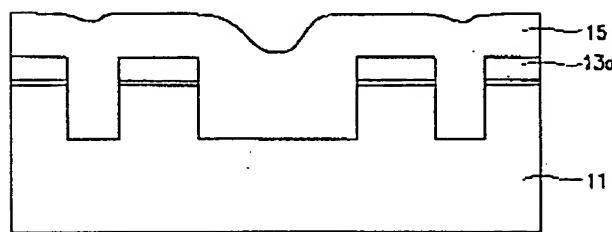
도면1b



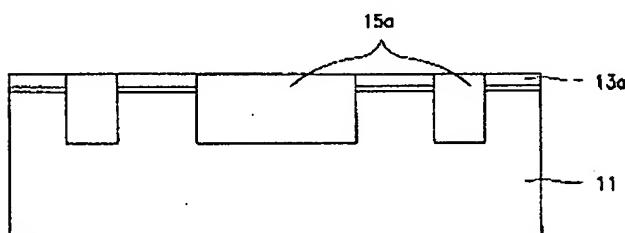
도면1c



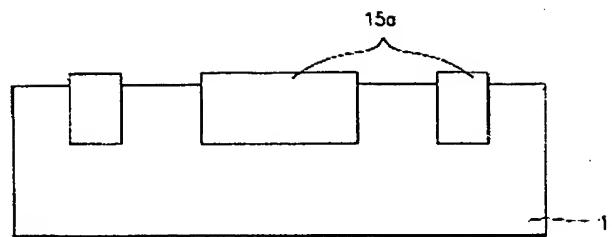
도면1d



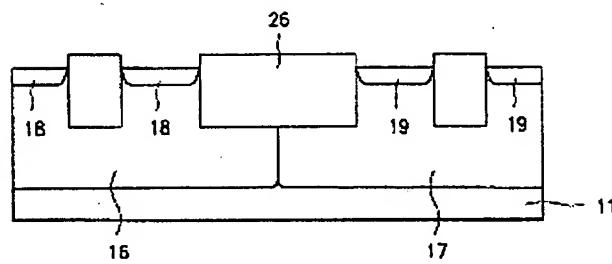
도면1e



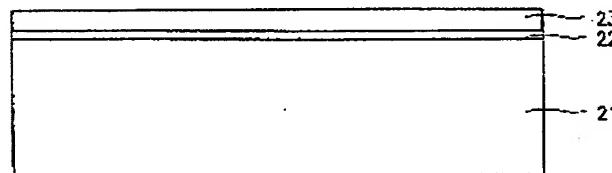
도면1f



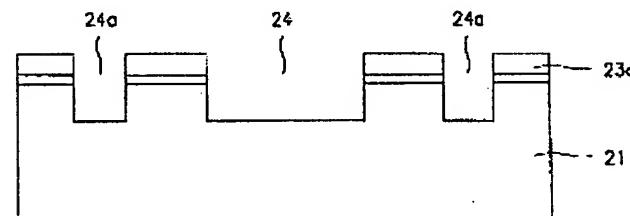
도면1g



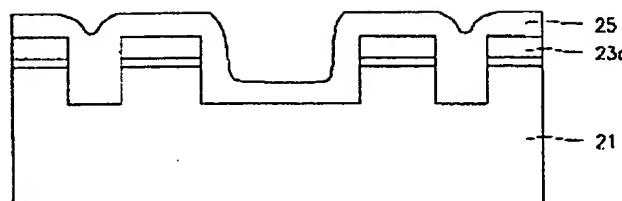
도면2a



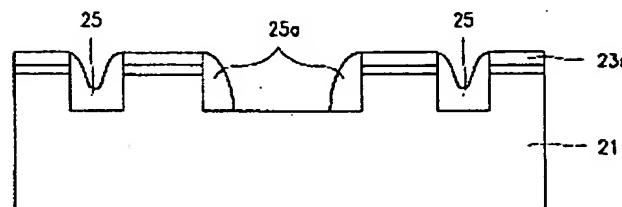
도면2b



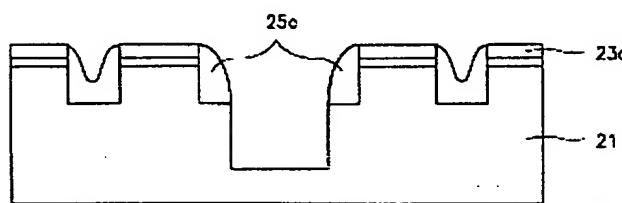
도면2a



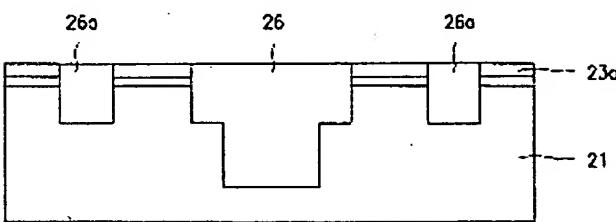
도면2b



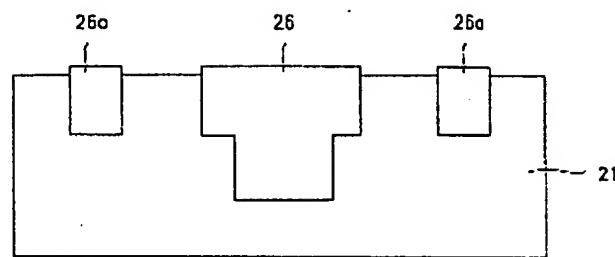
도면2c



도면2d



5-22



5-23

